

WP455 (1.0版), 2014年8月15日

UltraScale架构: 最高器件利用率、性能与可扩展性

作者: Nick Mehta

高性能架构和可扩展封装移植使设计人员能够通过设计重用在UltraScale™ 器件构建出多种不同的新一代应用变体, 从而实现产品差异化并加速产品上市进程。

摘要

随着密度和容量不断增大, 器件一代比一代复杂, 永无止境。因此, 设计人员也不能松懈, 必须在同类竞争产品成功上市之前让自己的产品实现量产。

赛灵思UltraScale架构在现有架构基础上新增了众多技术创新, 提供的器件甚至可超越新一代应用对性能、利用率和容量的需求。UltraScale 器件同时提供架构移植和封装引脚移植, 使用户能够构建出多种不同的系统变体, 同时最大化设计重用并最大限度地减少了PCB重建工作。

市场需求

许多新一代市场和应用对系统带宽和处理功能需求大幅增加。无论是有线/无线通信、视频，还是图像处理应用，不断提高的数据吞吐量需求都会导致同样的结果，那就是流量和对各种系统组件的需求都在增加。更多数据通过并行和串行I/O到达片上，数据在逻辑和DSP中进行处理之前必须再次通过并行I/O接口以DDR存储器形式缓存，同时通过串行I/O接口以串行存储器形式缓存，最后数据通过并行和串行I/O传回它的下一个目标端。

由于一系列原因，系统处理要求正变得越来越复杂；以更高数据速率传输更大数据包需要以更高频率运行的更宽并行数据总线。为了更有效地处理数据，通常需要在单个器件上构建一个完整的系统。这样避免了与在两个FPGA之间发送大量数据相关的时延和功耗问题，但这会要求单个器件具有更高的密度和容量。随着这些大容量FPGA的大量使用，必须保持以最可能高的性能运行，即便在超高利用率情况下，也可避免性能下降。

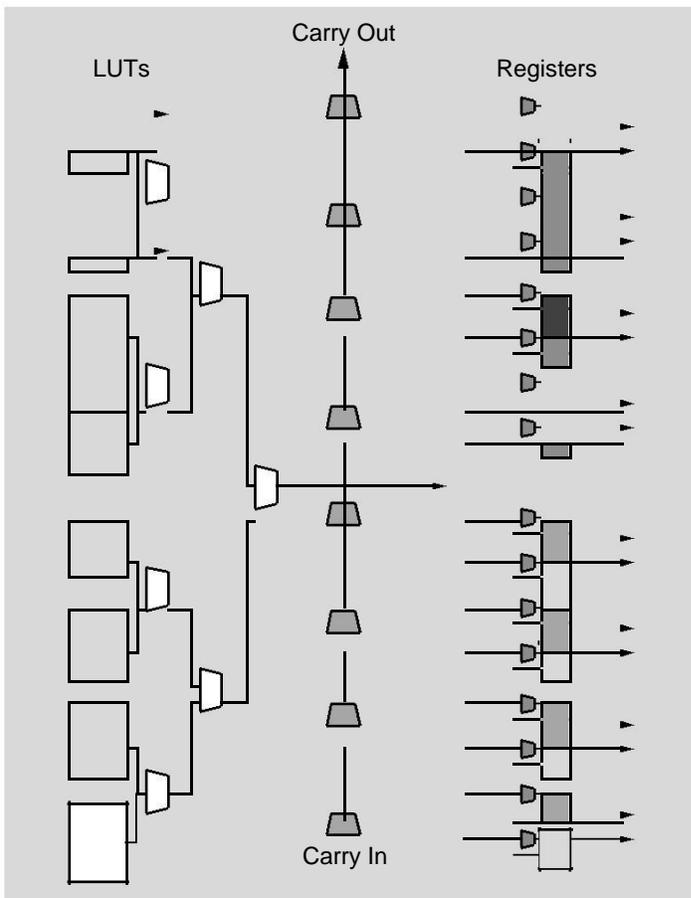
为了在高度竞争的市场上控制工程成本，尽可能通过设计重用构建出多种不同的系统，这种做法越来越受到设计人员的青睐。一个器件可以改变用途，以满足中、低、高三类不同应用需求，然而更可能更经济高效的做法是平台的不同版本采用不同的器件。

针对高性能设计的UltraScale架构

为了满足市场需求，赛灵思在多年的成功的基础上对传统FPGA架构进行了重新定义，通过对架构的重大改进可轻松应对未来设计的种种挑战。需要走更宽的数据线，以更高时钟速率存储和处理数据，这必然会涉及到多种更改。

逻辑与互联

FPGA架构的主要逻辑构建块都是可配置的逻辑块 (CLB)，其包含多个寄存器和查找表。为了实现尽可能高的性能，最好将设计元件紧密集成在一起。UltraScale架构提供了一个相对前代FPGA功能更强大的增强型 CLB，以便最高效地利用可用资源，进而减少总互联数（也就是总的有线长度）。图 1 显示了现有 CLB 结构的各个方面，便于分析和探索如何更高效地利用组件。

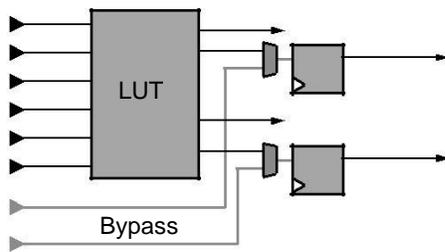


WP455_01_072414

图1: CLB 架构

将所有逻辑资源整合到单个CLB结构中，那就需要增加一个多路复用步骤，以创建更宽的多路复用器，和一个更长的8位进位链，以实现更快速的算数函数。

CLB的核心组件是查找表 (LUT)和寄存器，见图2。



WP455_02_061614

图2: LUT和寄存器

在UltraScale架构中，所有元件都有各自的连接功能—独特的输入输出—让不相关的功能更有效地封装在一起，从而实现更高的性能和更紧凑的设计。这种额外的连接无需通过LUT路由就可访问相关寄存器。基于UltraScale架构的CLB中的寄存器相对现有架构而言，时钟使能信号数量翻番，而且灵活性更高（如地址忽略与倒置属性），从而受益匪浅。由于具有更多控制信号以及更高的灵活性，从而让软件能够更灵活地运用UltraScale架构中每个CLB中的所有资源。

在检查传统FPGA中的布线架构时会发现存在一个最大的问题就是：随着器件密度的增大，逻辑单元会以N的平方增加。因此从小型器件向大型器件迁移，逻辑单元几乎呈指数级增加。同时，传统架构的互联迹线（interconnect track）仅以N倍增加。因此，随着器件密度的增加，逻辑资源数量和互联走线数量之间的差距越来越大。

UltraScale架构能够解决这一根本性难题，减少逻辑资源数量和互联迹线数量之间的差距。首先，越来越多的传统互联交换架构经过重新设计变得越来越小型化，越来越便捷和灵活。UltraScale架构将水平和垂直走线的数量翻了一番，而且增加了FPGA互联从A点到B点的直接走线数量。

CLB和互联中架构增强特性的影响让Vivado®设计套件在设计布局方面具有更高的灵活性，即便这些极高密度和容量的FPGA达到超高资源利用率，也能实现始终如一的高设计性能。

传统竞争软件工具采用基于模拟退火法的传统技术（即采用随机初始化的布局种子和仅针对全局变量优化的随机移动）。采用Vivado工具，布局器能够减少拥塞。其分析型布局器是一个数学求解器，可找到一种解决方案并同时针对时序、拥塞和走线长度这三个变量进行优化。UltraScale架构和Vivado设计套件的协同优化（使用智能拥塞感知型布局器预测设计中哪些地方会出现拥塞）可减轻任何拥塞瓶颈问题。这些高密度UltraScale器件在实现高资源利用率的同时，还可提供始终如一的高性能和可预测的软件运行时间。

将UltraScale架构与Vivado设计套协同优化后，可以在给定器件中集成更多逻辑，从而让工具缩短总的设计走线长度，同时随着器件利用率的提高实现始终如一的高性能（参见图3）。

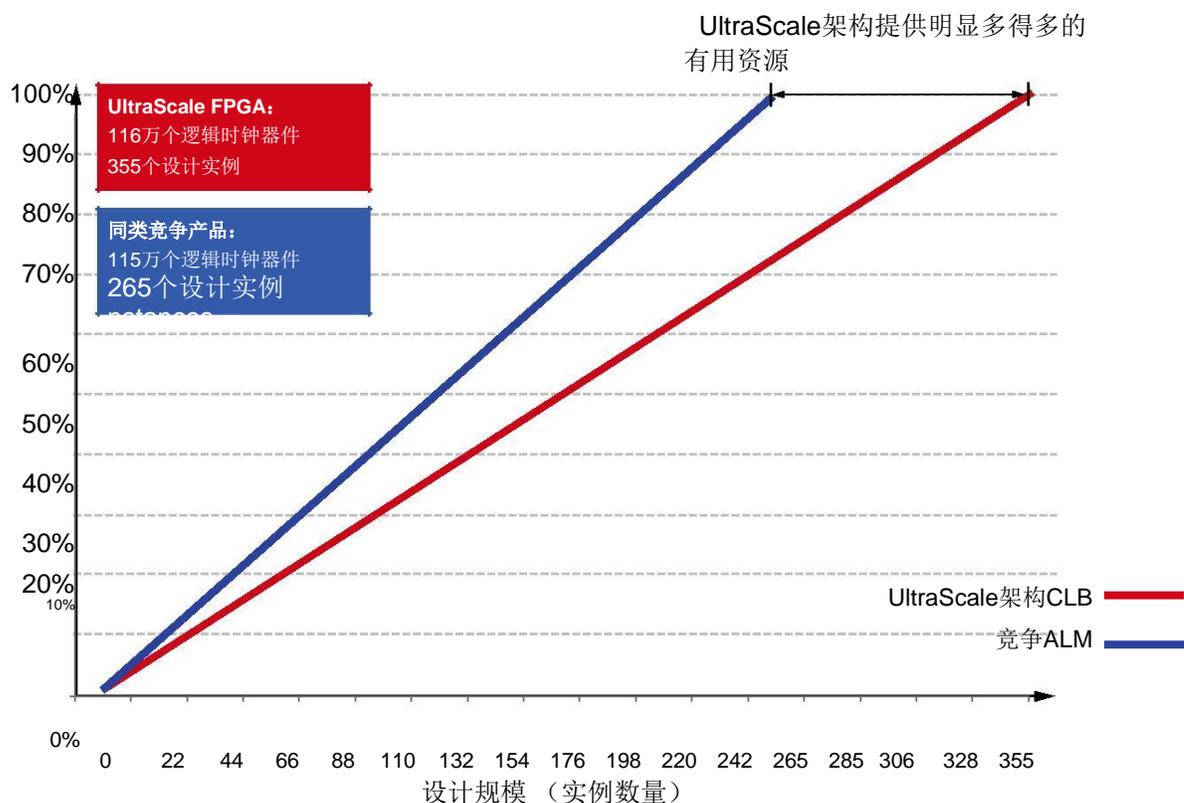


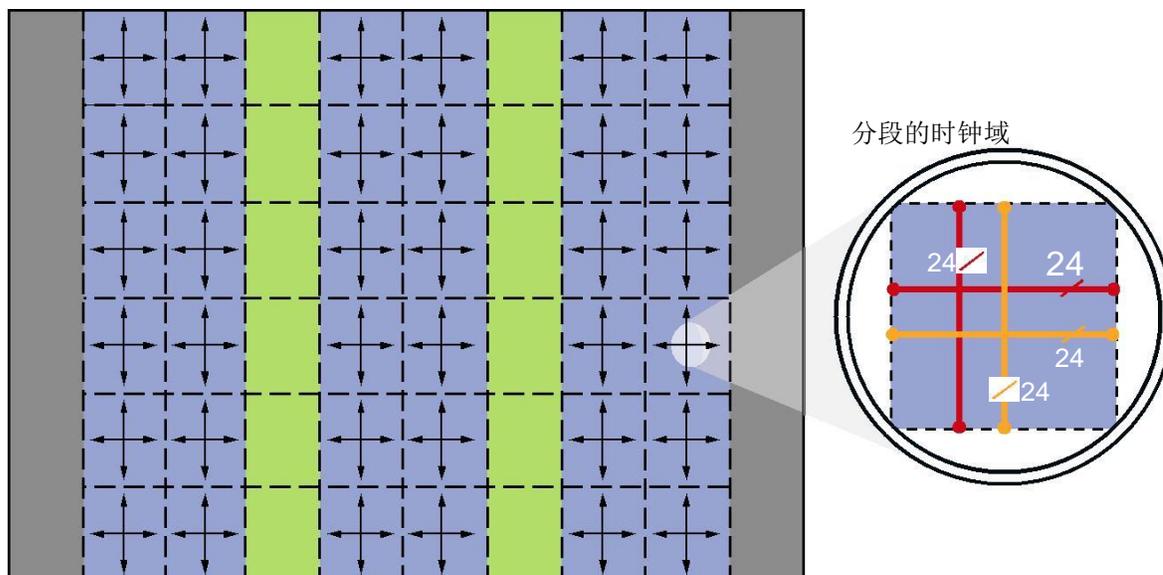
图 3: UltraScale架构密度优势

图3显示了UltraScale架构和Vivado设计套件与更大型的同类竞争产品的器件利用率对比情况。将未针对任一架构进行过优化的 opencores.org 设计在两种架构中多次实现，并监测两种器件的利用率。。UltraScale架构支持的有效封装允许Vivado设计套件将 355个实际实例整合到FPGA中。当仅布局265个设计实例且没有更多设计实例纳入该器件中时，同类竞争架构可实现100%的资源利用率。结果是UltraScale架构可让用户在同等尺寸的器件中相比竞争架构能够集成明显多得多的设计。

类似ASIC的时钟

相对前代FPGA而言，UltraScale时钟架构（图4）几乎是完全重新设计的。其水平和垂直方向有统一的时钟布线迹线和时钟分配迹线矩阵。时钟布线迹线支持由时钟信号驱动的逻辑的中心时钟网络中心的布局。然后通过时钟分布迹线将时钟信号传输至所有希望的时钟目标端。这种结构相比此前的FPGA架构能够支持更多的时钟网络，并显著减少时钟歪斜对设计最大可能实现的性能的影响。

所有UltraScale FPGA可分区为具有固定高度和宽度的时钟域。所有时钟域含有60行高的CLB和60行宽的逻辑、block RAM和DSP，因此信号穿越每个时钟域的时间是一样的。每个时钟域有24条水平和垂直的布线迹线和 24 条水平和垂直的分布时钟迹线。



WP455_04_061714

图4: UltraScale时钟架构

所有这些时钟布线迹线和分布迹线连接在一起，用于驱动整个器件中的时钟，也可用于时钟域边界的分段。分段意味着仅在需要的地方驱动时钟信号，就像在ASIC中！仅在需要的地方驱动信号还有一大好处就是能够减少不必要的晶体管交换，进而减少动态功耗。

除了新的时钟布线方案，时钟缓冲器的类型和数量也发生了巨变。时钟缓冲器的数量明显增加，原来只有位于中心的32个全局时钟缓冲器，后增加到每条水平行和时钟管理列连接处均有24个全局性时钟缓冲器。这相当于在最大型UltraScale器件中有720个全局性时钟缓冲器。缓冲器数量明显增加，而时钟缓冲器的类型则相对减少。类型减少相对此前的架构而言，限制降低了，这样判断应该使用哪种缓冲器相对此前而言就简单多了。

利用UltraScale架构扩展

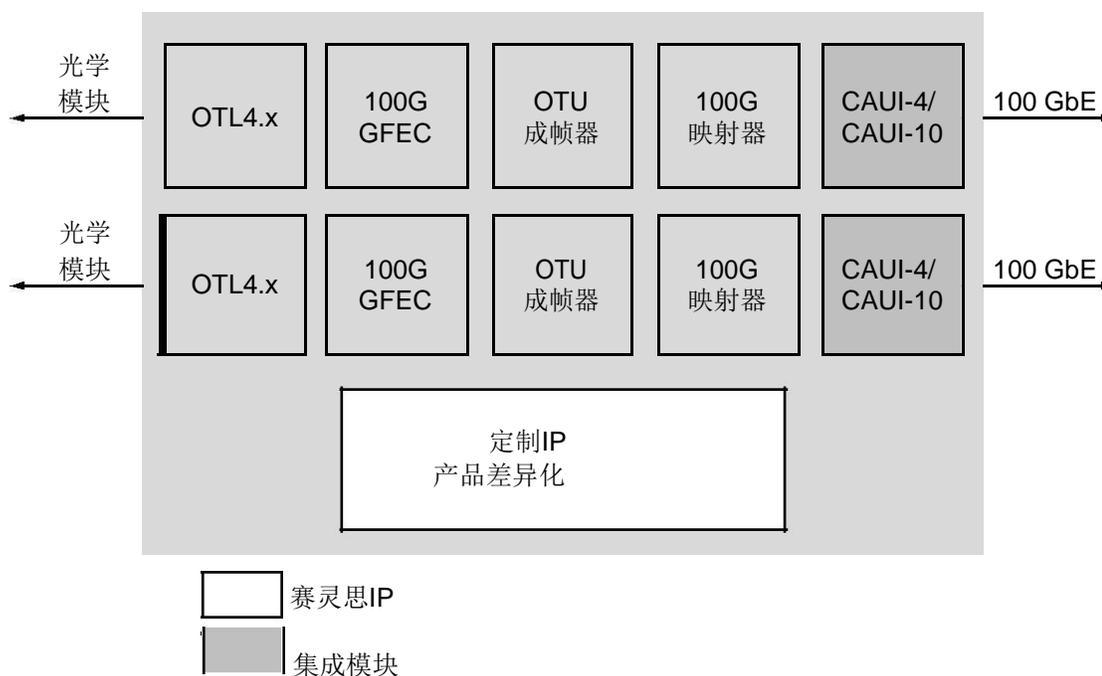
所有UltraScale FPGA均采用同样的底层架构，可提供本白皮书中所描述的所有优势。无论Kintex UltraScale还是Virtex UltraScale（20 nm 或 16 nm），FPGA基础架构是一样的，这样任何针对UltraScale FPGA的设计或IP均可在其它所有UltraScale FPGA上轻松重复利用。这种在UltraScale系列间的简单设计和IP移植是帮助用户在UltraScale FPGA上构建同一系统的多种不同变体的第一步。

在FPGA间转换时最大限度减少PCB返工同等重要。UltraScale系列各种不同器件采用引脚兼容封装。UltraScale FPGA可以根据其封装标识的最后一个字母和序号来判断是否具有引脚兼容。举例来说，任何封装以D1924结尾的UltraScale FPGA均与所有其它采用D1924封装的UltraScale FPGA实现引脚兼容。这一策略为采用20 nm和16 nm FinFET工艺的Kintex UltraScale FPGA和Virtex UltraScale FPGA提供了封装引脚移植。

光传输网络 (OTN) 的传输和多路复用应用可诠释封装引脚移植的价值。智能数据处理需求在社交网络和消费类视频应用的爆炸性增长以及企业和数据中心用户对最高质量和可靠性的需求的推动下，不断提高，达到了前所未有的高度。负责交付数据的有线通信基础设施必须通过不断地增加系统中的资源，或者将更多资源与系统智能功能相结合来提高数据处理效率，确保满足这些需求。

赛灵思可提供众多 OTN SmartCORE™ 解决方案，旨在帮助网络设备提供商 (NEP) 集中精力实现终端产品创新并从竞争中脱颖而出，以便更好地满足不断提高的性能和可靠性需求。可定制IP的提供使用户能够快速实现和反复利用其系统构建块（如成帧器、映射器以及前向错误纠正 (FEC)模块）以创建系统的基本功能。网络设备提供商 (NEP)还可利用 FPGA中的其它资源实现其想要的差异化。这种方法不仅可节省一些常用功能的开发时间，而且还可让网络设备提供商将其宝贵的工程资源用于其系统中更具挑战性以及投资回报最高的方面的开发。

图5 给出了内置在Virtex UltraScale 095 FPGA中的2x100G转发器示例。



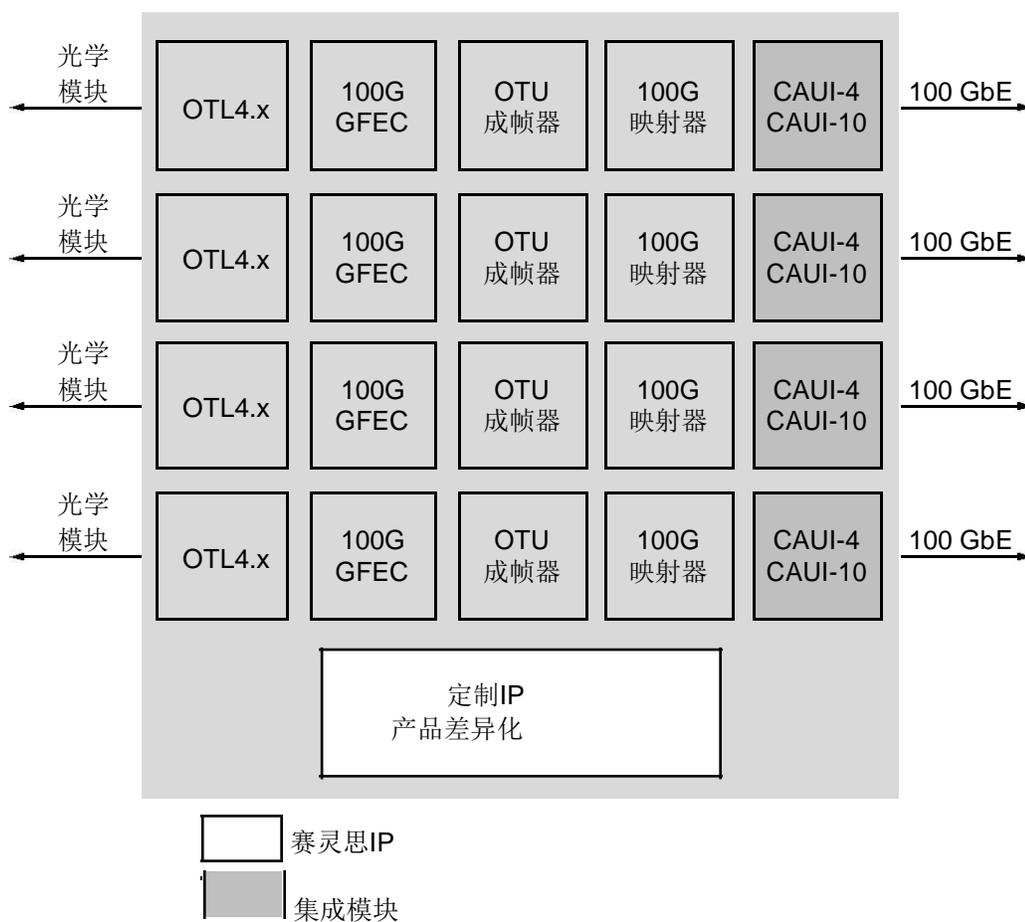
WP455_05_073114

图 5: 2x100G 转发器

如图所示，许多系统的组件均为赛灵思SmartCORE IP，其很容易实现和重复利用。此外，该应用还受益于Virtex UltraScale器件中提供的以太网集成模块，其支持每模块 100G 以太网通信，在 CAUI-4 和 CAUI-10模式均可配置，这取决于收发器所采用的速度。

CAUI-4使用4个运行速率为 25.78125 Gb/s的收发器，而 CAUI -10则使用10个运行速率为10.3125 Gb/s的收发器来创建 100G以太网信道。除了以太网集成模块外，UltraScale器件还包括 Interlaken集成模块，其传输速度可配置为10 Gb/s~150 Gb/s，并提供多种不同的信道和数据速率配置。UltraScale架构中的GTH和GTY收发器可支持0.5 Gb/s~16.3 Gb/s的数据速率，GTY收发器的运行速率可高达32.75 Gb/s。由于均可支持高达16.3 Gb/s的运行速率，因此 GTH 或者 GTY 收发器均可用于驱动符合 OTL4.10标准的光学模块（运行速率为 10/11 Gb/s）而且 GTY 收发器可支持 OTL4.4标准 (运行速率为 25/28 Gb/s)。

设备厂商推出多种不同系统变体，进而为最终用户提供更多功能和吞吐量，这是很常见的事情。使用与在UltraScale 095 FPGA 中构建2x100G转发器所用的相同构建块，可用Virtex UltraScale 160 FPGA 创建4 x 100G 转发器，从而在单个器件中提供大量400G输入输出。不仅所有UltraScale架构器件可共享相同的架构资源，产品系列间的封装移植允许在同一开发板上使用不同器件，从而尽可能减少返工。图6显示了Virtex UltraScale 160中内置的4x100G转发器，封装和引脚与VU095一致。



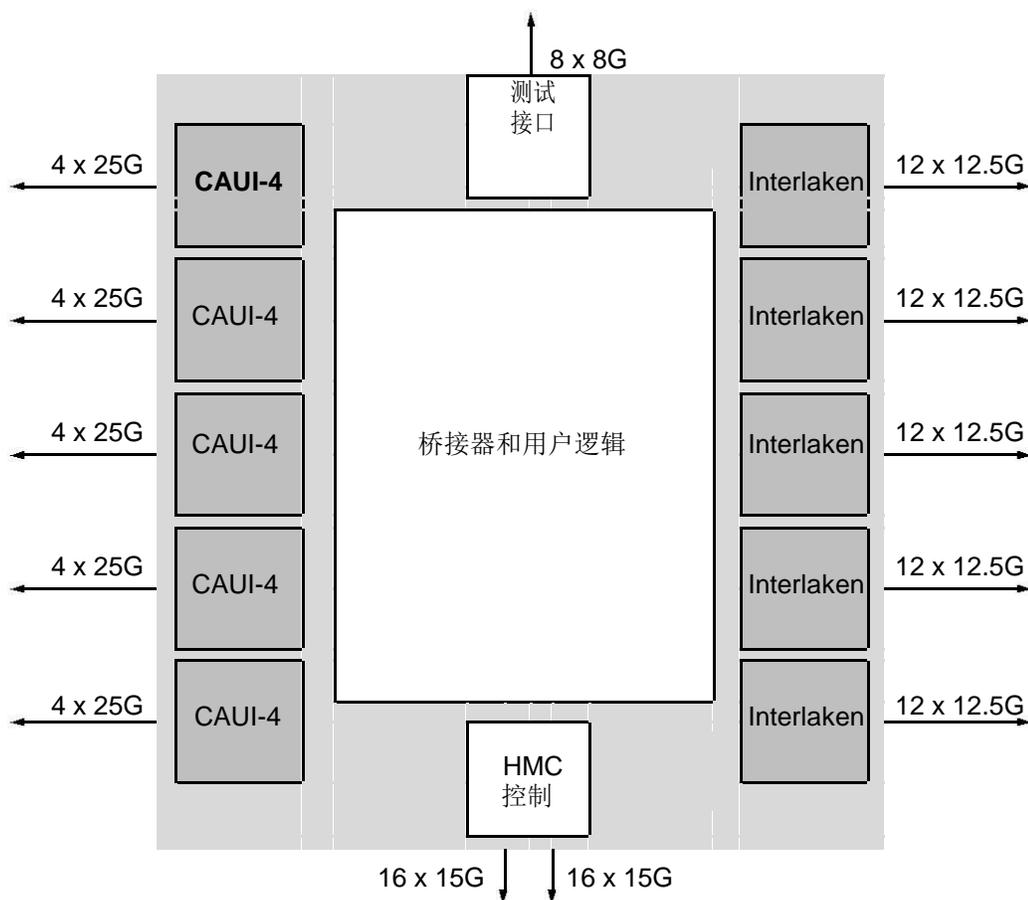
WP455_06_072414

图 6: 4 x 100G 转发器

实现赛灵思SmartCORE IP大约消耗VU160器件60%的可用逻辑资源。由于UltraScale架构进行了改进，用户可以预期逻辑利用率达90%甚至更高，在本示例中预留了超过30%的可用FPGA资源给网络设备提供商，以便他们实现定制IP，从而让他们的最终产品从竞争中脱颖而出。

前所未有的高带宽和连接功能

高端Virtex UltraScale FPGA具有无与伦比的性能，可提供市场上唯一20nm解决方案。Virtex UltraScale系列为业界含有最多收发器的FPGA——Virtex UltraScale VU190器件提供了前所未有的大容量和超强连接。该器件将200万个逻辑单元和超过130 Mb的片上RAM、1000多个并行I/O引脚、120个串行收发器完美结合在一起，为在单个器件中实现500 G系统铺平了道路，参见图7。



WP455_07_072414

图7: 500G桥接应用

图7显示了采用带有120个收发器的FPGA实现的500G桥接器应用。每个通道接口通过Interlaken协议（使用12个12.5Gb/s收发器）连接至背板。在桥接器的另一侧，数据通过100G以太网（每100G链路使用4个25.78125 Gb/s的收发器）传输。除了主要桥接器应用外，这个桥接器必须接口到串行存储器以缓冲数据，在此情况下，将连接两个16通道的链路（最大HMC数据速率为15 Gb/s）。XCVCU190器件上剩下的8个可用收发器上可供用户实现他们想要的接口。在这种情况下，使用Gen3数据速率为8 Gb/s的PCI Express集成模块，以及剩下的收发器可实现一个PCI Express®测试接口。

这8个收发器同样还可以用来提供10G-KR等更高背板通信协议，或通过RXAUI等协议与另一个系统中的FPGA通信。

由于始终渴望增加带宽，必须从500G升级到Tb级应用。目前的UltraScale FPGA中除了引脚和架构兼容外，到基于台积电公司16 nm FinFET工艺的UltraScale FPGA还有一条清晰而简单的移植路径，让新一代最高性能海量带宽的应用即日扬帆起航。

结论

通过加大器件尺寸和复杂性来满足新一代应用需求，超大型和超容量FPGA应运而生。虽然有很多好处，可以在单个器件上实现更多功能，但快速布线广泛的设计以及重用设计部分的挑战依然存在。赛灵思采用所有UltraScale器件通用的新型高性能架构可以解决这些挑战，能够实现极高的资源利用率同时不影响性能。结合架构和IP移植功能，封装引脚移植使设计人员能够根据市场需求变化扩展他们的应用。

修订历史

下表显示了本文档的修订历史：

日期	版本	修订描述
2014年8月15日	1.0	赛灵思初始版本